

967332755

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068858

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

H05K 3/46

(21)Application number : 11-242071

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 27.08.1999

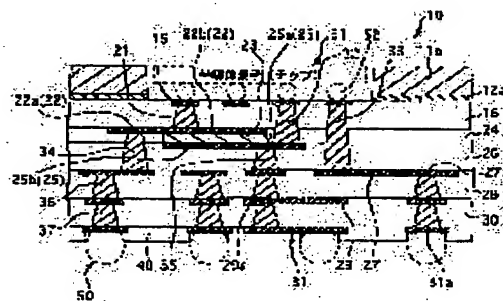
(72)Inventor : MUTSUKAWA AKIO
HORIKAWA YASUYOSHI
SASAKI MASAYUKI
FUJISAWA AKIRA

(54) MULTILAYER WIRING BOARD, MANUFACTURE THEREOF, AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the operating reliability of a semiconductor device (chip) to be mounted, by producing a decoupling effect enough to suppress the delay of a signal, the occurrence of cross talk noise, variation in potential of a source line, and the like on a multilayer wiring board.

SOLUTION: A resin layer 23 sandwiched between a wiring pattern 22b for a power source and a wiring pattern 25b for grounding is formed of a high-dielectric layer, which is made of organic resin containing an inorganic filler. The inorganic filler is 10 μ m or less in thickness and 20 or more in permittivity. Further, resin layers 16 and 26, which are sandwiched between wiring patterns 15 and 27 for a signal and the wiring pattern 22b for a power source or the wiring pattern 25b for grounding, and resin layers 28 and 30 sandwiched between wiring patterns 27, 29, and 31 for a signal, are formed of low-dielectric layers made of organic resin. The low-dielectric layers are each 10 μ m or less in thickness and lower than the high-dielectric layer 23 in permittivity.



LEGAL STATUS

[Date of request for examination]

26.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

PARTIAL TRANSLATION
OF
JAPANESE LAID-OPEN PATENT APPLICATION
2001-68858
(0017) - (0040)

(0017)

(Structure of Embodiment of the Invention)

Figure 1 shows the construction of a build-up multilayer wiring substrate regarding to one embodiment of the present invention. The build-up multilayer wiring substrate 10 of this embodiment is the one in which the conductor layer (pad 15, 22a, 25a, 27a, 29a, 31a, or interconnection pattern 22b, 25b, 27, 29, 31) of copper (Cu) is in plural layers via an insulation layer 16, 24, 26, 28, 30 of an organic resin, fundamentally. Especially, it has the feature that the capacitor part (22b, 23, 25b) has a particular thickness and accommodated in the substrate 10 with a particular dielectric constant.

(0018)

As will be explained in detail later, the dielectric layer constituting the capacitor part has the thickness of 10 μ m or less and is formed of a high dielectric layer 23 in which inorganic filler having a dielectric constant of 20 or more is added to an organic resin. Further, the electrodes sandwiching the dielectric layer (high dielectric layer 23) and constituting the

capacitor part are formed of the conductor layer 22 including interconnection pattern 22b for power supply and the conductor layer 25 including an interconnection pattern 25b for grounding formed respectively above and below thereof.

(0019)

Further, the resin layer (insulation layer 16,26) sandwiched between the conductor layer 22,25 including interconnection pattern 22b for power supply or the interconnection pattern 25b for grounding and the conductor layer 15,27 including the interconnection pattern for signals, and the resin layer (insulation layer 28,30) sandwiched between the conductor layers 27,29,31 including the interconnection pattern for the signals have a thickness larger than 10 μ m and is formed of the low dielectric layer formed of an organic resin that having a dielectric constant lower than the high dielectric layer 23 of the capacitor part.

(0020)

For the inorganic filler (dielectric material) of the dielectric constant 20 or more, a ceramic powder of diameter of 5 μ m or less is used. Suitably, a ceramic powder of the perovskite structure is used. BaTiO₃, PZT, SrTiO₃ etc. are raised for example. For such a dielectric powder,

it is possible to use a commercially available product. In this case, however, it is desirable to use the product the conducting treatment. For example, it is desirable to process over one hour with a temperature over 600° in the air in the case that SrTiO_3 is used as the dielectric powder.

(0021)

For the organic resin contained in the high dielectric layer 23 of the capacitor part, it is possible to use polyphenylene ether (PPE), a resin having an imide structure, or a resin having fluorane structure, for example. The same resin can be used suitably for the organic resin constituting the low dielectric layer (insulation layer 16, 26, 28, 30).

(0022)

Further, 24 show the insulation layer formed around the capacitor part so as to avoid formation of level difference with respect to the high dielectric layer 23 of the capacitor part. The insulation layer is formed of the same organic resin as the above low dielectric layer. Also, one of face of the build-up multilayer wiring substrate 10 is used as the external connection terminal jointing surface. The other surface is used as the semiconductor device mounting surface. The Pad 31a for the external

connection terminal is formed to the exposed part of the external connection terminal jointing surface. A solder resist layer 40 is formed as the protection film except for the region of the pad 31a for external connection terminal. As shown by the broken line, solder ball 50 is attached to the external connection terminal pad 31a as the external connection terminal. On the other hand, the pad 15 for semiconductor device is formed to the exposed part of the semiconductor device mounting surface. A metal film 12a and a reinforcing Cu board 11a are formed except for the exposed part.

To the pad 15 of the semiconductor device, the electrode terminals (solder ball) 52 of the semiconductor device (chip) 51 to be mounted on the substrate 10 are connected as shown by the broken line.

(0023)

Further, the conductor layer of Cu (pad or interconnection pattern) formed at both sides of each insulation layer 16, 24, 26, 28, 30 are connected electrically by means of the connection part 21, 32 - 37 formed to penetrate each insulation layer between the layer in the form of a "buried via". The build-up multilayer wiring substrate 10 of this embodiment can be produced on the basis of the technology (Japanese patent application

11-64248) proposed before by the applicant. More specifically, it can be manufactured by consecutively stacking the conductor layer (pad or interconnection pattern) and the insulation layer in the direction of the external connection terminal jointing layer (insulation layer 30) where the external connection terminal jointing surface is formed from the semiconductor device mounting layer (mounting layer 16) where the semiconductor device installation surface is formed thus in the reverse direction used usually. Below, explanation will be made about the fabrication process with reference to Figure 2 - Figure 5 showing the process in accordance with the order. (0024)

In the first process (see Figure 2(a)), a metal plate such as a Cu board 11 of the thickness of for example about 0.5 mm used as the reinforcement board of the wiring substrate is prepared and the metal film 12 is formed to one of the surfaces of this Cu board 11. It is possible to replace to the Cu board by using a stainless (SUS) steel board or aluminum (Al) board etc. It is desirable that the average roughness (Ra) of the surface of the Cu board 11 for the side on which the metal film 12 is formed is 0.1 μ m or less. It is desirable to perform polishing to the formation surface of the metal film 12 of the Cu board 11

in the case the average roughness (Ra) exceeds $0.1\mu\text{m}$ such that the average roughness becomes $0.1\mu\text{m}$ or less.

(0025)

The metal film 12 consists of two-layer structure as in the drawing. It is formed in this embodiment by causing to deposit chromium (Cr) or titanium (Ti) to the thickness of about $0.01\mu\text{m}$ degree by sputtering on the Cu board 11 (Cr layer (or Ti layer) 13), and further depositing Cu thereon with the thickness of about $0.1\mu\text{m}$ by sputtering (Cu layer 14). The Cr layer 13 works as such an adhesive layer improving the adhesion with the layers of top and bottom. As will be described later, it also function as the stopper layer that stops the etching at the time of etching removal of the Cu board 11. Also, the metal film 12 (especially the Cu layer 14) work as the current feeding layer of electrolytic plating process, which is needed in the later process at the time of forming the pad or interconnection pattern.

(0026) In the next process, the pad 15 for the semiconductor device, to which the electrode terminal 52 of the semiconductor device 51 is finally connected, is formed on the metal film 12 (see Figure 2 (b)). More specifically, a photosensitive resist such as a dry film etc. is formed

on metal film 12, and exposure and development (patterning of the resist) is conducted in conformity of the form of the pad 15 for the semiconductor device. With this, the metal film 12 is exposed for the part that forms pad 15 for the semiconductor device. After this, the pad 15 for the semiconductor device of Cu is formed to the thickness of about 10 μm by conducting electrolytic plating of Cu by feeding current from the current feeding layer (metal film 12) while using the patterned resist as the mask.

(0027)

At the time of formation of the pad 15 for the semiconductor device, it is possible to conduct solder plating such as tin-silver (Sn-Ag) plating in place of the electrolytic plating. In this case, the necessity of pre-soldering to the pad 15 for the semiconductor device is eliminated at the time of mounting the semiconductor device, and the cost and the number of steps are reduced. In the next step, a thermosetting resin (for example, thermosetting polyimide resin, epoxy resin, phenol resin, polyphenylene ether (PPE), etc.) is applied to the thickness of about 25 μm by a screen printing so as to cover the pad 15 for the semiconductor device and also the metal film 12 (see Figure 2 (c)). As a result of curing by

heat, the insulation layer 16 is formed.

(0028)

Although the resin of thermosetting is used as the material that forms the insulation layer 16 in this process, it is possible to use a photosensitive resin instead of this. In the next process (see Figure 2 (d)), a via hole 17 is formed in the insulation layer 16 for the part corresponding to the position of pad 15 for the semiconductor device on the metal film 12 by a drilling process conducted by laser, such that the via hole has a form of truncated cone shape. Thus, the via-holes 17 are formed such that the area opened at the surface of insulation layer 16 is larger than the base area defined by the surface of the pad 15 for the semiconductor device. A YAG laser, an excimer laser or a CO₂ laser may be used for the laser.

(0029)

In this process, the via-hole 17 is formed by the drilling process by the laser, while it is possible to conduct etching in place of this processing. In the case a photosensitive resin is used as the material that forms insulation layer 16, the via-hole 17 can be formed by photolithography. In the next process, Cu is deposited by sputtering (see Figure 3 (a)) to form a thin Cu film 18 so

as to cover the inner wall of the via-hole 17 (see Figure 2 (d)) and also the surface of the insulation layer 16.

(0030)

In the next process (see Figure 3(b)), the Cu layer 19 is formed on the thin Cu film 18 to the thickness of the degree to bury the via-hole by conducting electrolytic plating of Cu while using the thin Cu film 18 as the current feeding layer. As a result, a slight depression 20 is produced on the surface of the Cu layer 19 in the part corresponding to the position of the via-hole as shown in the drawing. Thus, uneven part remains on the surface of Cu layer 19.

(0031)

In the next process (see Figure 3 (c)), the uneven part of the surface of Cu layer 19 is planarized by mechanical polishing, and the like, and thereafter, leveling (removal of the surface part of the Cu layer 19) is conducted by wet etching until the surface of insulation layer 16 is exposed. With this, the edge surfaces 21 of the interlayer connection part (buried via) in which the via-hole is filled with Cu, is formed at the same level as the surface of insulation layer 16 is formed as shown in the drawing.

(0032)

In the next process (see Figure 3 (d)), a Cu layer is formed to the thickness of about $10\mu\text{m}$ on the edge surfaces of the interlayer connection part 21 (buried via) and also the insulation layer 16b by electrolytic plating of Cu by feeding current from the current feeding layer (metal film 12). Thereafter, the conductor layer 22 patterned by photolithography is formed similarly to the process of Figure 2 (b). This conductor layer 22 partly constitutes the pad 22a and also the power supply interconnection pattern 22b constituting one of the electrodes sandwiching the high dielectric layer 23 of the capacitor part.

(0033)

In the next process (see Figure 4(a)), the high dielectric layer 23 of the capacitor part is formed to the thickness of about $5\mu\text{m}$ on the interconnection pattern 22b for the power supply. More specifically, a resin paste containing inorganic filler having the dielectric constant of 20 or more is screen printed or applied. Or alternatively, a photosensitive resin paste or a resin film (half cured state) including inorganic filler of the dielectric constant of 20 or more is applied or stacked uniformly. Thereafter, the exposure and development is conducted for patterning the resin layer. In the example of

the drawing, the high dielectric layer 23 is shown thickly in comparison with the interconnection pattern 22b for the power supply so that the characteristic feature of the present invention can be seen.

(0034)

In the next process (see Figure 4(b)), the insulation layer 24 is formed around the capacitor part to the same level as the surface of high dielectric layer 23 of the capacitor part. Thus, planarization is conducted so that the difference in level does not result with regard to the high dielectric layer 23. For example, the insulation layer 24 can be formed by applying a resin paste by the screen printing. In the next process (see Figure 4 (c)), a Cu layer is formed to the thickness of about $10\mu\text{m}$ by conducting electrolytic plating of Cu by the current fed from the current feeding layer (metal film 12) on the high dielectric layer 23 and also on the insulation layer 24. Further, similarly to the processing conducted in the process of Figure 2 (b), the conductor layer 25 patterned by photolithography process is formed.

This conductor layer 25 constitutes partially the pad 25a and also the interconnection pattern 25b for grounding constituting the other of the electrodes sandwiching the high dielectric layer 23 of the capacitor part is.

(0035)

With this, the capacitor part (22b, 23, 25b) constituting the feature of the present invention is accommodated into the substrate 10 with a particular thickness and a particular dielectric constant. In the next process (see Figure 5(a)), the processing conducted with the process of Figure 2(c) - Figure 3(d) is repeated, and an intermediate body 10a of the build-up multilayer substrate is obtained by gradually forming the layers from the semiconductor device installation layer side toward the external connection terminal jointing layer side (in the example of the drawing, in the direction from the lower side toward upper side).

(0036)

As shown in the drawing, a Cu board 11 is fit to one of the surfaces of the intermediate body 10a via the metal film 12 in the semiconductor device mounting surface on which the pads 15 for the semiconductor device are formed. The other of the surfaces of the intermediate body 10a is formed with the pad 31a for the external connection terminal. Here, the Cu board 11 facilitates the handling of the conveyance etc. of the intermediate body 10a etc., besides the role as the reinforcement board of the intermediate body 10a.

(0037)

In the last process (see Figure 5 (b)), the Cu board 11 and also the metal film 12 are removed from the part corresponding to the region where the semiconductor device is mounted by the etching such that the semiconductor device mounting surface is exposed. The processing for this is carried out as follows. First, a photosensitive resist (not shown) is formed on the Cu board 11. Furthermore the patterning of the resist is conducted in conformity with the form of the part corresponding to the region where the semiconductor device is mounted. With this, the pertinent part of the Cu board 11 is exposed. Thereafter, the exposed Cu board 11 is removed by an etching liquid that dissolves only Cu. Thereby, it is difficult to control the completion time of the etching of the Cu board 11 rigidly. However, the Cr layer 13 forming a part of the metal film 12 functions as a stopper layer (see Figure 2(a)) mentioned above, it is possible to prevent the pad 15 for the semiconductor device being etched further at the time the etching of the Cu board 11 is completed.

(0038)

Next, the Cr layer 13 of the metal film 12 is removed by the etching liquid that dissolves only Cr.

Further, the Cu layer 14 of the metal film 12 is removed furthermore by the etching liquid that dissolves only Cu. With thus, the semiconductor device mounting surface is exposed. It may seem that inconvenience results when the Cu layer 14 of the metal film 12 is removed by the etching liquid that dissolves Cu because Cu that constitutes the pad 15 for the semiconductor device is removed similarly. However, the film thickness of the pad 15 for the semiconductor device is about $10\mu\text{m}$, while the film thickness of the Cu layer 14 is about $0.1\mu\text{m}$ as mentioned above. Because of this, this does not become a substantial problem.

(0039)

As a result of the aforementioned etching processing, the Cu board 11a and also the metal film 12a remains on the side of the semiconductor device mounting surface of the intermediate body 10a in a frame-like state along the rim. This Cu board 11a works as the reinforcement board, in other words, stiffener of the build-up multilayer substrate 10. Further, the solder resist layer 40 of the photosensitive nature is formed to the external connection terminal jointing surface. Further, exposure and development (patterning of the solder resist layer) is

conducted in conformity with the form of the pad 31a for the external connection terminal, and an opening is formed in the solder resist layer 40 for the part corresponding to the region of the pad 31a for the external connection terminal. With this, the pad 31a for the external connection terminal is exposed. On the other hand, the external connection terminal jointing surface of other parts are covered by the solder resist layer 40. This solder resist layer 40 works as the protection film of the build-up multilayer substrate 10.

(0040)

By the aforementioned process, it becomes possible to obtain the build-up multilayer substrate 10 shown in Figure 1. In this embodiment, an organic resin is used as the material constituting the insulation layer. Because of this, it is desirable that the process temperature is as low as possible. It is desirable to use the process temperature below 200°C. When the build-up multilayer substrate 10 of this embodiment is to be mounted on other printed circuit substrate such as a mother board etc., the mounting is achieved via the solder balls 50 that attached to the side of the external connection terminal jointing surface. Thus, the connection of the build-up multilayer substrate 10 to other printed circuit substrate

such as a mother board etc. is conducted by attaching the solder balls 50 to the pads 31a for the external connection terminal exposed from the substrate 10 by reflowing.

Thereafter, the solder balls 50 are attached to the pads of other printed circuit substrate by causing reflowing.

Similarly, mounting of the semiconductor device 51 on the build-up multilayer substrate 10 is conducted by connecting the both by attaching the electrode terminals (solder ball) 52 of the semiconductor device 51 to the corresponding pads 15 for the semiconductor device of the build-up multilayer substrate 10 corresponds by causing reflowing.

P-2175
JP03007ALP

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68858

(P 2 0 0 1 - 6 8 8 5 8 A)

(43) 公開日 平成13年 3 月 16 日 (2001. 3. 16)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H05K 3/46		H05K 3/46	T 5E346
			B
			Q

審査請求 未請求 請求項の数10 O L (全11頁)

(21) 出願番号 特願平11-242071

(22) 出願日 平成11年 8 月 27 日 (1999. 8. 27)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 六川 昭雄

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72) 発明者 堀川 泰愛

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

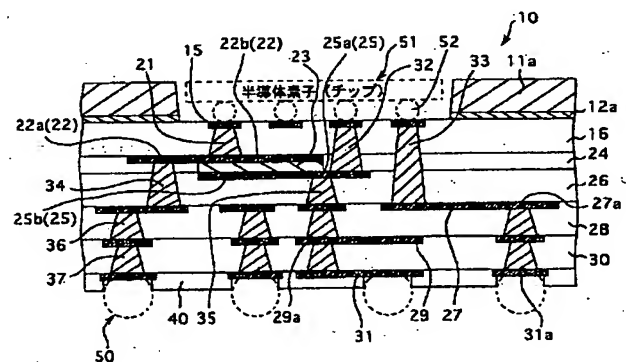
最終頁に続く

(54) 【発明の名称】 多層配線基板及びその製造方法並びに半導体装置

(57) 【要約】

【課題】 多層配線基板において、信号遅延やクロストークノイズの発生、電源ラインの電位の変動等を抑制するのに十分なデカップリング効果を奏し、搭載する半導体素子（チップ）の動作信頼性の向上に寄与することを目的とする。

【解決手段】 電源用の配線パターン22bとグランド用の配線パターン25bとの間に挟まれている部分の樹脂層23を、厚さが10μm以下で、且つ誘電率が20以上の無機フィラーが配合された有機樹脂からなる高誘電体層によって形成すると共に、信号用の配線パターン15、27と電源用の配線パターン22b又はグランド用の配線パターン25bとの間に挟まれている部分の樹脂層16、26、及び信号用の配線パターン27、29、31間に挟まれている部分の樹脂層28、30を、厚さが10μmよりも厚く、且つ高誘電体層23よりも低い誘電率を有する有機樹脂からなる低誘電体層によって形成する。



【特許請求の範囲】

【請求項1】 配線パターンが形成された導体層が樹脂層を介して多層に形成され、前記配線パターン間が前記樹脂層を貫通するビア・ホールによって電氣的に接続されている多層配線基板において、

電源用の配線パターンとグランド用の配線パターンとの間に挟まれている部分の樹脂層が、厚さが $10\mu\text{m}$ 以下で、且つ誘電率が20以上の無機フィラーが配合された有機樹脂からなる高誘電体層であると共に、信号用の配線パターンと前記電源用の配線パターン又はグランド用の配線パターンとの間に挟まれている部分の樹脂層、及び信号用の配線パターン間に挟まれている部分の樹脂層が、厚さが $10\mu\text{m}$ よりも厚く、且つ前記高誘電体層よりも低い誘電率を有する有機樹脂からなる低誘電体層であることを特徴とする多層配線基板。

【請求項2】 前記高誘電体層は、前記多層配線基板の半導体素子搭載面の樹脂層の直下の領域に設けられていることを特徴とする請求項1に記載の多層配線基板。

【請求項3】 前記無機フィラーは、粒径が $5\mu\text{m}$ 以下のセラミック粉末であることを特徴とする請求項1に記載の多層配線基板。

【請求項4】 前記高誘電体層の有機樹脂は、ポリフェニレンエーテル、イミド構造を有する樹脂又はフルオレン構造を有する樹脂からなることを特徴とする請求項1に記載の多層配線基板。

【請求項5】 前記低誘電体層の有機樹脂は、ポリフェニレンエーテル、イミド構造を有する樹脂又はフルオレン構造を有する樹脂からなることを特徴とする請求項1に記載の多層配線基板。

【請求項6】 前記高誘電体層は、前記電源用の配線パターンが形成された導体層と前記グランド用の配線パターンが形成された導体層との間に挟まれた樹脂層の一部分により構成され、該樹脂層の一部分以外の部分は、前記高誘電体層との間に段差が生じないように前記高誘電体層よりも低い誘電率を有する有機樹脂により形成されていることを特徴とする請求項1に記載の多層配線基板。

【請求項7】 前記高誘電体層は、前記電源用の配線パターンが形成された導体層と前記グランド用の配線パターンが形成された導体層との間に挟まれた樹脂層の全体により構成されていることを特徴とする請求項1に記載の多層配線基板。

【請求項8】 配線パターンが形成された導体層が樹脂層を介して多層に形成され、前記配線パターン間が前記樹脂層を貫通するビア・ホールによって電氣的に接続されている多層配線基板の一方の面が、搭載される半導体素子の電極端子と接続される半導体素子用パッドが形成された半導体素子搭載面であり、多層配線基板の他方の面が、外部接続端子と接合される外部接続端子用パッドが形成された外部接続端子接合面である、多層配線基板

を製造する方法であって、

前記半導体素子用パッドが形成された半導体素子搭載層から前記外部接続端子用パッドが形成された外部接続端子接合層の方向に、導体層及び樹脂層を順次形成する際に、

電源用の配線パターンを含む導体層とグランド用の配線パターンを含む導体層との間の樹脂層を、厚さが $10\mu\text{m}$ 以下で、且つ誘電率が20以上の無機フィラーが配合された有機樹脂からなる高誘電体層によって形成すると共に、信号用の配線パターンを含む導体層と前記電源用の配線パターン又はグランド用の配線パターンを含む導体層との間の樹脂層、及び信号用の配線パターンを含む導体層間の樹脂層を、厚さが $10\mu\text{m}$ よりも厚く、且つ前記高誘電体層よりも低い誘電率を有する有機樹脂からなる低誘電体層によって形成することを特徴とする多層配線基板の製造方法。

【請求項9】 前記多層配線基板の配線パターンが形成された導体層を 200°C 以下の温度で形成することを特徴とする請求項8に記載の多層配線基板の製造方法。

【請求項10】 請求項1から7のいずれか一項に記載の多層配線基板又は請求項8又は9に記載の多層配線基板の製造方法によって製造された多層配線基板に半導体素子が搭載されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線基板及びその製造方法並びに半導体装置に関し、より詳細には、半導体素子を搭載するパッケージとして供されるビルドアップ多層配線基板において信号ライン間のクロストークノイズや電源ライン等の電位の変動を防止するのに有用な技術に関する。

【0002】

【従来の技術】近年、プリント配線基板は軽量化が要求され、かつ、小型・多ピン化されたPGA（ピン・グリッド・アレイ）やBGA（ボール・グリッド・アレイ）等を搭載すべく、配線の微細化及び高密度化が要求されている。しかし、従来のプリント配線基板は、ビア・ホールの形成に多くの面積を必要としていたため、設計の自由度が制限され、配線の微細化が困難であった。そこで、近年実用化が進んできたのが、ビルドアップ法を用いたプリント配線基板（ビルドアップ多層配線基板）である。

【0003】ビルドアップ多層配線基板は、層間絶縁層の材料とビア・ホール形成プロセスの組合せにより多種類のものが作製可能であり、その製造プロセスは、一般的には、絶縁層の形成、絶縁層におけるビア・ホールの形成、及び、ビア・ホールの内部を含めた導体層（配線パターン）の形成を順次繰り返して積み上げていくものである。このようなビルドアップ法によって得られた多層配線基板では、集積度等が進展した半導体素子（デバ

イス)でも搭載することが可能である。

【0004】しかしその反面、かかる多層配線基板では配線パターンが高密度に(つまり互いに近接して)形成されているため、信号ラインを構成する配線パターン間でクロストークノイズが生じたり、また電源ラインを構成する配線パターンではその電源電位が変動したりするなどの問題が生じる。そのため、これに対処するための手段として、従来より、半導体素子(デバイス)を搭載した多層配線基板にチップコンデンサ等の容量素子を付設して信号ラインや電源ラインをデカップリングすることが行われている。

【0005】しかしながら、このような多層配線基板では、チップコンデンサを設けた分だけ配線パターンの設計自由度が制限されたり、或いはチップコンデンサと半導体素子の電源/グランド端子との間を接続する配線パターンの引き回し距離が長くなってインピーダンス(特にインダクタンス)の増大を招くことがある。インダクタンスが大きいと、チップコンデンサによる「デカップリング」効果が薄れてしまうので、インダクタンスは出来るだけ小さい方が望ましい。つまり、チップコンデンサ等の容量素子は半導体素子に出来るだけ近くに配置することが望ましい。

【0006】また、チップコンデンサ等の容量素子を多層配線基板に付設するため、多層配線基板が全体として大型化し、また重くなるおそれもある。これは、最近の半導体パッケージの小型化の要求に応えることを困難にするものである。特に、高速のスイッチング動作が要求される高周波用の半導体素子を搭載する多層配線基板では、周波数の上昇に伴いクロストークノイズが発生し易くなり、またスイッチング素子が高速にオン/オフすることにより電源ライン等の電位が変動し易くなるため、チップコンデンサ等を多層配線基板に設ける必要性はより一層高くなり、上述したような問題は一層顕在化する。

【0007】そこで、かかる問題点に対処するために、従来技術の一例として、チップコンデンサ等の容量素子を多層配線基板に付設する代わりに、同等の容量素子を多層配線基板内に形成する(つまり内装する)ことが提案されている。その技術の一例は、例えば特開平10-93246号公報に開示されている。この公報に開示された技術では、多層配線基板内に特定値以上の比誘電率をもつ高誘電率樹脂層を形成し、この高誘電率樹脂層を容量素子(コンデンサ部)の誘電体層として用いている。従って、チップコンデンサ等の容量素子を付設した従来の多層配線基板に比べて、配線パターンの引き回し距離を相対的に短くすることができ、また、容量素子が多層配線基板に内装されているので基板全体として小型化及び軽量化を図ることができる。

【0008】

【発明が解決しようとする課題】しかしながら、上記の

従来技術(特開平10-93246号公報)では、チップコンデンサ等の容量素子を付設した従来の多層配線基板がかかえる問題点に対処するために、容量素子(コンデンサ部)を多層配線基板内に形成することを開示しているに留まり、その容量素子(コンデンサ部)を多層配線基板内のどの部分に設けるか、またどのような形態で設けるかについては、特定的に明示されていない。

【0009】例えば、電源用の導体層とグランド用の導体層の間に高誘電率樹脂層(コンデンサ部の誘電体層)を設けた場合にはデカップリング効果は期待できるが、電源用又はグランド用の導体層と信号用の導体層との間、又は信号用の導体層間に高誘電率樹脂層を設けた場合には、大きなキャパシタンスをもつ素子(高誘電率樹脂層)が信号ライン(信号用の導体層)に接続されることになり、これによって信号の遅延や信号ライン間のクロストークノイズが増大したり、電源ラインの電位が変動したりするなどの不都合が生じる。

【0010】つまり、多層配線基板内で容量素子(コンデンサ部)を設ける場所によっては上記のような問題が発生し、容量素子を設けることによって本来奏すべきデカップリング効果が薄れてしまうという課題があった。デカップリング効果が十分でないと、多層配線基板に搭載する半導体素子が誤動作するおそれもある。このような点について、上記の従来技術(特開平10-93246号公報)は一切言及しておらず、また示唆すらしていない。

【0011】本発明は、かかる従来技術における課題に鑑み創作されたもので、信号遅延やクロストークノイズの発生、電源ラインの電位の変動等を抑制するのに十分なデカップリング効果を奏し、ひいては搭載する半導体素子の動作信頼性の向上に寄与することができる多層配線基板及びその製造方法並びに半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明の一形態によれば、配線パターンが形成された導体層が樹脂層を介して多層に形成され、前記配線パターン間が前記樹脂層を貫通するビア・ホールによって電気的に接続されている多層配線基板において、電源用の配線パターンとグランド用の配線パターンとの間に挟まれている部分の樹脂層が、厚さが10 μ m以下で、且つ誘電率が20以上の無機フィラーが配合された有機樹脂からなる高誘電体層であると共に、信号用の配線パターンと前記電源用の配線パターン又はグランド用の配線パターンとの間に挟まれている部分の樹脂層、及び信号用の配線パターン間に挟まれている部分の樹脂層が、厚さが10 μ mよりも厚く、且つ前記高誘電体層よりも低い誘電率を有する有機樹脂からなる低誘電体層であることを特徴とする多層配線基板が提供される。

【0013】本発明に係る多層配線基板によれば、電源用の配線パターンが形成された導体層とグラウンド用の配線パターンが形成された導体層との間に高誘電体層（コンデンサ部の誘電体層）が設けられているので、デカップリング効果を奏することができる。この場合、高誘電体層は、比較的高い誘電率（一般に誘電体と呼ばれている物質の誘電率は3～4程度であるのに対し、本発明の場合には20以上）をもって、比較的薄く（10 μ m以下）形成されているので、コンデンサ部のキャパシタンスを相対的に大きくすることができ、デカップリング効果をより一層高めることが可能となる。

【0014】一方、信号用の配線パターンが形成された導体層と電源用又はグラウンド用の配線パターンが形成された導体層との間、及び信号用の配線パターンが形成された導体層間には、上記コンデンサ部の誘電体層（高誘電体層）よりも低い誘電率をもつ低誘電体層が比較的厚く（10 μ mよりも厚く）形成されているので、この部分に形成されるキャパシタンスの大きさを相対的に小さくすることができる。これによって、従来技術に見られたような不都合（信号遅延やクロストークノイズの増大、電源ラインの電位の変動など）を解消することができる。

【0015】このように本発明によれば、信号遅延やクロストークノイズの発生、電源ラインの電位の変動等を抑制するのに十分なデカップリング効果を奏することができるので、本多層配線基板に搭載される半導体素子の動作信頼性を高めることが可能となる。また、本発明の他の形態によれば、配線パターンが形成された導体層が樹脂層を介して多層に形成され、前記配線パターン間が前記樹脂層を貫通するビア・ホールによって電気的に接続されている多層配線基板の一方の面が、搭載される半導体素子の電極端子と接続される半導体素子用パッドが形成された半導体素子搭載面であり、多層配線基板の他方の面が、外部接続端子と接合される外部接続端子用パッドが形成された外部接続端子接合面である、多層配線基板を製造する方法であって、前記半導体素子用パッドが形成された半導体素子搭載層から前記外部接続端子用パッドが形成された外部接続端子接合層の方向に、導体層及び樹脂層を順次形成する際に、電源用の配線パターンを含む導体層とグラウンド用の配線パターンを含む導体層との間の樹脂層を、厚さが10 μ m以下で、且つ誘電率が20以上の無機フィラーが配合された有機樹脂からなる高誘電体層によって形成すると共に、信号用の配線パターンを含む導体層と前記電源用の配線パターン又はグラウンド用の配線パターンを含む導体層との間の樹脂層、及び信号用の配線パターンを含む導体層間の樹脂層を、厚さが10 μ mよりも厚く、且つ前記高誘電体層よりも低い誘電率を有する有機樹脂からなる低誘電体層によって形成することを特徴とする多層配線基板の製造方法が提供される。

【0016】さらに、本発明の他の形態によれば、上述した多層配線基板に半導体素子が搭載されていることを特徴とする半導体装置が提供される。

【0017】

【発明の実施の形態】図1は本発明の一実施形態に係るビルドアップ多層配線基板の構成を示したものである。本実施形態のビルドアップ多層配線基板10は、基本的には銅（Cu）の導体層（パッド15、22a、25a、27a、29a、31a、又は配線パターン22b、25b、27、29、31）が有機樹脂からなる絶縁層16、24、26、28、30を介して多層に積層されたものであり、特に、コンデンサ部（22b、23、25b）が特定の厚さで且つ特定の誘電率をもって基板10に内装されていることを特徴とするものである。

【0018】後で詳述するように、コンデンサ部を構成する誘電体層は、厚さが10 μ m以下で、且つ誘電率が20以上の無機フィラーが配合された有機樹脂からなる高誘電体層23によって形成されており、またコンデンサ部を構成する誘電体層（高誘電体層23）を挟む両側の電極は、その上下にそれぞれ形成された電源用の配線パターン22bを含む導体層22とグラウンド用の配線パターン25bを含む導体層25とによって構成されている。

【0019】また、電源用の配線パターン22b又はグラウンド用の配線パターン25bを含む導体層22、25と信号用の配線パターンを含む導体層15、27との間に挟まれている樹脂層（絶縁層16、26）、及び信号用の配線パターンを含む導体層27、29、31間に挟まれている樹脂層（絶縁層28、30）は、厚さが10 μ mよりも厚く、且つコンデンサ部の高誘電体層23よりも低い誘電率を有する有機樹脂からなる低誘電体層によって形成されている。

【0020】誘電率が20以上の無機フィラー（誘電材）としては、粒径が5 μ m以下のセラミック粉末が用いられ、好適にはペロブスカイト型構造のセラミック粉末が用いられる。具体例としては、BaTiO₃、PZT、SrTiO₃等を挙げることができる。これら誘電材粉末は、市販品のものを用いることができるが、加熱処理を施してから使用することが好ましい。例えば、誘電材粉末としてSrTiO₃を用いる場合、大気中において600℃以上の加熱温度で1時間以上の処理を行うことが望ましい。

【0021】また、コンデンサ部の高誘電体層23に含まれる有機樹脂としては、例えば、ポリフェニレンエーテル（PPE）、イミド構造を有する樹脂、フルオレン構造を有する樹脂等を好適に用いることができる。低誘電体層（絶縁層16、26、28、30）を構成する有機樹脂についても、同様の樹脂を好適に用いることができる。

【0022】また、24はコンデンサ部の高誘電体層23との間に段差が生じないようにするためにコンデンサ部の周囲に形成された絶縁層を示し、上記の低誘電体層と同じ有機樹脂からなっている。また、ビルドアップ多層配線基板10の一方の面は外部接続端子接合面として用いられ、他方の面は半導体素子搭載面として用いられる。外部接続端子接合面には、その露出した部分に外部接続端子用パッド31aが形成され、外部接続端子用パッド31aの領域を除いて、保護膜としてのソルダレジスト層40が形成されている。外部接続端子用パッド31aには、破線で示すように外部接続端子としてののはんだボール50が接合されるようになっている。他方、半導体素子搭載面には、その露出した部分に半導体素子用パッド15が形成され、その露出した部分を除いて、金属薄膜12a及び補強板としてのCu板11aが形成されている。半導体素子用パッド15には、破線で示すように本基板10に搭載されるべき半導体素子(チップ)51の電極端子(はんだボール)52が接続されるようになっている。

【0023】さらに、各絶縁層16、24、26、28、30の両面に形成されたCuの導体層(パッド又は配線パターン)は、各絶縁層を貫通して形成された「埋め込みビア」の形態をもつ層間接続部21、32~37を介して電気的に接続されている。本実施形態のビルドアップ多層配線基板10は、本出願人が以前に提案した技術(特願平11-64248号)に基づいて作製することができ、具体的には、半導体素子搭載面が形成された半導体素子搭載層(絶縁層16)から外部接続端子接合面が形成された外部接続端子接合層(絶縁層30)の方向に、つまり通常行われている積層順序とは逆の方向に、導体層(パッド又は配線パターン)及び絶縁層を順次積層することにより製造され得る。以下、その製造方法を工程順に従って示す図2~図5を参照しながら説明する。

【0024】まず、最初の工程では(図2(a)参照)、配線基板の補強板として用いられる金属板、例えば厚さ0.5mm程度のCu板11を用意し、このCu板11の一方の面に金属薄膜12を形成する。なお、Cu板に代えて、ステンレス(SUS)鋼板やアルミニウム(Al)板等を用いてもよい。金属薄膜12を形成する側のCu板11の表面の平均粗さ(Ra)は0.1μm以下であることが望ましい。もし平均粗さ(Ra)が0.1μmを越える場合は、0.1μm以下となるようにCu板11の金属薄膜12の形成面に研磨を施すことが好ましい。

【0025】金属薄膜12は、図示のように2層構造からなり、本実施形態ではCu板11の上にクロム(Cr)又はチタン(Ti)をスパッタリングにより厚さ0.01μm程度に堆積させ(Cr層(又はTi層)13)、更にその上にCuをスパッタリングにより厚さ

0.1μm程度に堆積させる(Cu層14)ことにより形成される。Cr層13は、その上下の層との密着性を向上させるための密着層として機能し、後述するようにCu板11をエッチング除去する際にそのエッチングを止めるストップ層としての機能も果たす。また、金属薄膜12(特にCu層14)は、後の工程でパッドや配線パターンを形成する際に必要な電解めっき処理のための給電層として機能する。

【0026】次の工程では(図2(b)参照)、金属薄膜12の上に、最終的に半導体素子51の電極端子52が接続される半導体素子用パッド15を形成する。具体的には、先ず金属薄膜12の上にドライフィルム等の感光性のレジストを形成し、更に半導体素子用パッド15の形状に従うように露光及び現像(レジストのパターニング)を行い、半導体素子用パッド15を形成する部分の金属薄膜12を露出させた後、給電層(金属薄膜12)からの給電によるCuの電解めっきにより、パターニングされたレジストをマスクにしてCuの半導体素子用パッド15を厚さ10μm程度に形成する。

【0027】なお、半導体素子用パッド15の形成に際し、電解めっきの代わりに、例えば錫-銀(Sn-Ag)めっき等のはんだめっきを行ってもよい。この場合には、半導体素子を搭載する際に、半導体素子用パッド15へのプリソルダの必要が無くなり、コストと工数の削減に寄与することができる。次の工程では(図2(c)参照)、半導体素子用パッド15及び金属薄膜12を覆うように熱硬化性の樹脂(例えば、熱硬化型のポリイミド樹脂、エポキシ樹脂、フェノール樹脂、ポリフェニレンエーテル(PPE)等)をスクリーン印刷により厚さ25μm程度に塗布し、更に熱硬化させて絶縁層16を形成する。

【0028】なお、この工程では絶縁層16を形成する材料として熱硬化性の樹脂を用いているが、これに代えて、感光性の樹脂を用いてもよい。次の工程では(図2(d)参照)、レーザによる穴明け処理により、金属薄膜12上の半導体素子用パッド15の位置に対応する部分の絶縁層16にビア・ホール17を円錐台状に形成する。すなわち、絶縁層16の表面に開口される面積が半導体素子用パッド15の面によって規定される底面の面積よりも大きくなるようにビア・ホール17を形成する。レーザとしては、YAGレーザ、エキシマレーザ又はCO₂レーザが用いられる。

【0029】なお、この工程ではビア・ホール17をレーザによる穴明け処理により形成しているが、かかる処理に代えて、エッチングを行ってもよい。また、絶縁層16を形成する材料として感光性の樹脂を用いた場合には、フォトリソグラフィによりビア・ホール17を形成することができる。次の工程では(図3(a)参照)、ビア・ホール17(図2(d)参照)の内壁面及び絶縁層16の表面を覆うようにCuをスパッタリングにより

10

20

30

40

50

堆積させて薄膜状Cu層18を形成する。

【0030】次の工程では(図3(b)参照)、薄膜状Cu層18の上に、この薄膜状Cu層18を給電層としてCuの電解めっきにより、ビア・ホールを埋め込む程度の厚さにCu層19を形成する。この結果、図示のように、ビア・ホールの位置に対応する部分のCu層19の表面に僅かな窪み20ができる。つまり、Cu層19の表面に凹凸部分が残る。

【0031】次の工程では(図3(c)参照)、Cu層19の表面の凹凸部分を例えば機械研磨等により研磨して平坦にした後、更に、ウェットエッチングにより絶縁層16の表面が露出するまでレベリング(Cu層19の表面部分の除去)を行う。これによって、図示のように、ビア・ホール内にCuが充填されて形成された層間接続部(埋め込みビア)21の端面が、絶縁層16の表面と同じレベルで平坦に形成される。

【0032】次の工程では(図3(d)参照)、層間接続部(埋め込みビア)21の端面及び絶縁層16の上に、給電層(金属薄膜12)からの給電によるCuの電解めっきにより、厚さ10 μ m程度にCu層を形成した後、図2(b)の工程で行った処理と同様にして、フォトリソグラフィによりパターニングされた導体層22を形成する。この導体層22は、部分的にパッド22aを構成すると共に、コンデンサ部の高誘電体層23を挟む一方の電極となる電源用の配線パターン22bを構成する。

【0033】次の工程では(図4(a)参照)、電源用の配線パターン22b上に、コンデンサ部の高誘電体層23を厚さ5 μ m程度に形成する。具体的な方法としては、誘電率が20以上の無機フィラーを含んだ樹脂ペーストをスクリーン印刷により塗布するか、或いは、誘電率が20以上の無機フィラーを含んだ感光性の樹脂ペースト又は樹脂フィルム(半硬化状態のもの)を「ベタ」状に塗布し又は積層した後、露光及び現像により樹脂層をパターニングする。なお、図示の例では、本発明の特徴がよく表れるように電源用の配線パターン22bに比べて高誘電体層23の方を厚めに示している。

【0034】次の工程では(図4(b)参照)、コンデンサ部の周囲にコンデンサ部の高誘電体層23の表面と同じレベルまで絶縁層24を形成する。つまり、高誘電体層23との間に段差が生じないように平坦化を行う。絶縁層24は、例えば、樹脂ペーストをスクリーン印刷により塗布することで形成され得る。次の工程では(図4(c)参照)、高誘電体層23及び絶縁層24の上に、給電層(金属薄膜12)からの給電によるCuの電解めっきにより、厚さ10 μ m程度にCu層を形成し、更に図2(b)の工程で行った処理と同様にして、フォトリソグラフィによりパターニングされた導体層25を形成する。この導体層25は、部分的にパッド25aを構成すると共に、コンデンサ部の高誘電体層23を挟む

他方の電極となるグランド用の配線パターン25bを構成する。

【0035】これによって、本発明の特徴をなすコンデンサ部(22b, 23, 25b)が特定の厚さで且つ特定の誘電率をもって基板10に内装されたことになる。

次の工程では(図5(a)参照)、図2(c)~図3(d)の工程で行った処理を適宜繰返し、半導体素子搭載層側から外部接続端子接合層側の方向に(図示の例では上側から下側に向かう方向に)順次各層を形成することで、ビルドアップ多層配線基板の中間体10aを得る。

【0036】図示のように、得られた中間体10aの一方の面には、半導体素子用パッド15が形成された半導体素子搭載面に金属薄膜12を介してCu板11が接合されており、中間体10aの他方の面には外部接続端子用パッド31aが形成されている。ここに、Cu板11は、中間体10a等の補強板としての役割を果たすと共に、中間体10a等の搬送等の取扱いを容易にするものである。

【0037】最後の工程では(図5(b)参照)、先ずエッチングにより、半導体素子を搭載する領域に対応する部分のCu板11及び金属薄膜12を除去し、半導体素子搭載面を露出させる。かかる処理は以下のように行われる。先ずCu板11の上に感光性のレジスト(図示せず)を形成し、更に半導体素子を搭載する領域に対応する部分の形状に従うようにレジストのパターニングを行い、当該部分のCu板11を露出させた後、Cuのみを溶かすエッチング液により、露出したCu板11を除去する。この際、Cu板11のエッチングの完了時期を厳密に管理することは困難である。しかし、上述したようにCu板11のエッチングの際に金属薄膜12の一部であるCr層13がストッパ層として機能するので(図2(a)参照)、Cu板11のエッチングが完了した際に半導体素子用パッド15が更にエッチングされるのを防止することができる。

【0038】次いで、Crのみを溶かすエッチング液により金属薄膜12のCr層13を除去し、更にCuのみを溶かすエッチング液により金属薄膜12のCu層14も除去する。これによって、半導体素子搭載面が露出する。なお、Cuを溶かすエッチング液により金属薄膜12のCu層14を除去した時、半導体素子用パッド15を構成するCuも同様に除去されて不都合が生じるように見えるが、上述したようにCu層14の膜厚は0.1 μ m程度であるのに対し、半導体素子用パッド15の膜厚は10 μ m程度であるので、実質上問題とはならない。

【0039】以上のエッチング処理により、中間体10aの半導体素子搭載面側で周縁に沿って枠状にCu板11a及び金属薄膜12aが残留する。このCu板11aは、ビルドアップ多層配線基板10の補強板すなわちス

ティフナとして機能する。次いで、外部接続端子接合面に感光性のソルダレジスト層40を形成し、更に外部接続端子用パッド31aの形状に従うように露光及び現像（ソルダレジスト層のパターニング）を行い、外部接続端子用パッド31aの領域に対応する部分のソルダレジスト層40に開口部を形成する。これによって、外部接続端子用パッド31aが露出し、他の部分の外部接続端子接合面がソルダレジスト層40によって覆われたことになる。このソルダレジスト層40は、ビルドアップ多層配線基板10の保護膜として機能する。

【0040】以上の工程により、図1に示すビルドアップ多層配線基板10を得ることができる。なお、本実施形態では絶縁層等を構成する材料として有機樹脂を用いているため、プロセス温度は出来るだけ低い方が望ましく、好適には200℃以下のプロセス温度で形成するのが好ましい。本実施形態のビルドアップ多層配線基板10をマザーボード等の他のプリント配線基板に搭載する際には、外部接続端子接合面側に接着されるはんだボール50を介して行う。すなわち、ビルドアップ多層配線基板10とマザーボード等の他のプリント配線基板の接続は、当該基板10から露出した外部接続端子用パッド31a上にはんだボール50をリフローにより接着した後、はんだボール50を他のプリント配線基板の対応するパッド上にリフローにより接着することで行われる。同様に、ビルドアップ多層配線基板10に半導体素子51を搭載する際にも、両者間の接続は、半導体素子51の電極端子（はんだボール）52をビルドアップ多層配線基板10の対応する半導体素子用パッド15上にリフローにより接着することで行われる。

【0041】以上説明したように、本実施形態に係るビルドアップ多層配線基板及びその製造方法によれば、電源用の配線パターン22bが形成された導体層22とグラウンド用の配線パターン25bが形成された導体層25との間に高誘電体層23が設けられ、この高誘電体層23を、20以上の高い誘電率をもって、5μm程度に薄く形成しているので、コンデンサ部（22b、23、25b）のキャパシタンスを相対的に大きくすることができる。これによって、十分なデカップリング効果を奏することができる。

【0042】また、信号用の配線パターンが形成された導体層15、27と電源用又はグラウンド用の配線パターンが形成された導体層22、25との間、及び信号用の配線パターンが形成された導体層27、29、31間には、高誘電体層23よりも低い誘電率をもつ低誘電体層16、26、28、30が10μmよりも厚く形成されているので、この部分に形成されるキャパシタンスの大きさを相対的に小さくすることができる。これによって、従来技術に見られたような信号遅延やクロストークノイズの増大、電源ラインの電位の変動等の不都合を解消することができる。

【0043】このように、信号遅延やクロストークノイズの発生、電源ラインの電位の変動等を抑制するのに十分なデカップリング効果を奏することができるので、多層配線基板10に搭載する半導体素子51が誤動作するおそれも無くなり、その動作信頼性を高めることが可能となる。また、従来のビルドアップ法を用いて製造した多層配線基板に比べて、半導体素子搭載面を可及的に平坦面とすることができる。

【0044】すなわち、従来のビルドアップ法による多層配線基板では、外部接続端子接合面が形成された外部接続端子接合層から半導体素子搭載面が形成された半導体素子搭載層の方向に順次導体層及び絶縁層を形成していたため、最後に形成される半導体素子搭載層では、それまでに形成した層の凹凸が積層されて拡大し、半導体素子搭載面の平坦性が損なわれることがあった。

【0045】これに対し本実施形態では、従来の積層順序とは逆の方向にしているので、半導体素子搭載層は最初に形成されることになり、従来のように半導体素子搭載面の平坦性が損なわれるといった不都合を解消することができる。この場合、最後に形成される外部接続端子接合層では、それまでに形成した層の凹凸の影響を受けているが、一般に外部接続端子（はんだボール）のサイズは半導体素子の電極端子（はんだボール）のそれよりも大きいので、外部接続端子接合面での多少の凹凸は吸収することができ、実質上問題とはならない。

【0046】また、図3(c)に示すように層間接続部21を、ビア・ホール内にCuを充填して形成した中実体、すなわち「埋め込みビア」の構造としているので、外部接続端子接合面の平坦性を向上させることができる。かかる構造は、外部接続端子用パッド31aに接合されるはんだボール50の小粒化が進み、外部接続端子接合面の平坦性がより一層厳密に要求される場合には、特に有利である。

【0047】さらに、コンデンサ部を構成する高誘電体層23の大きさを必要に応じて変えることでその容量を容易に調整することができるので、従来のように所要の容量に応じてチップコンデンサの実装数を調整しなければならないといった手間が無くなる。さらに、コンデンサ部（22b、23、25b）を形成する工程は多層配線基板10を製造する工程の一部に含まれているので、従来のように別工程でチップコンデンサを実装する場合に比べて、工程の簡略化を図ることができる。

【0048】さらに、多層配線基板（パッケージ）10内にコンデンサ部を内装しているため、従来形に比して、パッケージの小型化を図ることができる。図6は本発明の他の実施形態に係るビルドアップ多層配線基板の構成を示したものである。図示のビルドアップ多層配線基板100において、101は配線基板のベースとなる厚さ0.4mm程度のコア基板（例えば、ガラスエポキシ樹脂複合板、ガラスBT（ビスマレイミドートリア

ジン〕樹脂複合板、ポリイミド樹脂等の有機樹脂からなる樹脂フィルム等)、102はコア基板101に形成されたスルーホールの内壁を含めて基板両面にパターンニングにより形成された導体層(パッド102aを含む)、103はスルーホールに充填された樹脂(絶縁体)、104は配線基板の2層目を構成する厚さ30 μ m程度の絶縁層としての樹脂層、105は樹脂層104に形成されたビア・ホール、106はビア・ホール105の内壁を含めて樹脂層104の上にパターンニングにより形成された導体層(パッド106aを含む)、107は配線基板の3層目を構成する厚さ30 μ m程度の絶縁層としての樹脂層、108は樹脂層107に形成されたビア・ホール、109はビア・ホール108の内壁を含めて樹脂層107の上にパターンニングにより形成された導体層(パッド109aと、コンデンサ部の一方の電極となるグランド用の配線パターン109bを含む)、110はコンデンサ部の誘電体層を構成する厚さ10 μ m以下の高誘電体層(樹脂層)、111はコンデンサ部の高誘電体層110との間に段差が生じないようにするためにコンデンサ部の周囲に形成された絶縁層としての樹脂層、112は樹脂層111及び107に形成されたビア・ホール、113はビア・ホール112の内壁を含めて樹脂層111の上にパターンニングにより形成された導体層(パッド113aと、コンデンサ部の他方の電極となる電源用の配線パターン113bを含む)、114は配線基板の上側の4層目を構成する厚さ30 μ m程度の絶縁層としての樹脂層、115は樹脂層114及び111に形成された埋め込みビア、116は樹脂層114に形成された埋め込みビア、117は配線基板の下側の樹脂層107に形成された埋め込みビア、118は埋め込みビア115、116に接続されるように半導体素子搭載面上にパターンニングにより形成された導体層(半導体素子用パッド118aを含む)、119は埋め込みビア117に接続されるように外部接続端子接合面上にパターンニングにより形成された導体層(外部接続端子用パッド119aを含む)、120は保護膜としてのソルダレジスト層を示す。

【0049】このように本実施形態のビルドアップ多層配線基板100は、図1に示す実施形態のビルドアップ多層配線基板10と比べて、本発明の特徴をなすコンデンサ部(109b、110、113b)の配置形態を含めた基本的な構成に関して同じである。構成上の相違点は、半導体素子搭載面に補強板としてのCu板111aと金属薄膜12aが形成されておらず、その代わりに、保護膜としてのソルダレジスト層120が形成されている点、半導体素子搭載層(樹脂層114)と外部接続端子接合層(下側の樹脂層107)を除く他の樹脂層における層間接続部が、「埋め込みビア」の構造ではなく、ビア・ホールの内壁面に形成された導体層によって構成されている点、補強板としての役割を果たすコア基板10

1の両面にビルドアップ層が積層されている点、である。

【0050】また、プロセスに関しては、図1に示す実施形態では半導体素子搭載層(絶縁層16)から外部接続端子接合層(絶縁層30)の方向に絶縁層及び導体層を順次積層したが、本実施形態(図6)ではコア基板101の両面に絶縁層及び導体層を順次積層している点で、両者は相違する。本実施形態で用いている方法、すなわち絶縁層(樹脂層)の形成、絶縁層(樹脂層)におけるビア・ホールの形成、及び、ビア・ホールの内部を含めた導体層の形成を適宜繰り返して積み上げていく方法は、当業者には一般に知られている典型的なビルドアップ法である。よって、ここでは特に図示はしていない。

【0051】但し、本実施形態では、かかる周知のビルドアップ法のプロセスにおいて、適当な段階で、図3(d)～図4(c)の工程で行った処理と同様にしてコンデンサ部(109b、110、113b)を形成する。上述した各実施形態では(図1、図6参照)、コンデンサ部を半導体素子51の出来るだけ近くに配置してインダクタンスを小さくするという観点から、コンデンサ部をパッケージ(多層配線基板)内の特定の部分、すなわち半導体素子51が搭載される領域の直下の部分に形成しているが、コンデンサ部を形成する場所はこれに限定されないことはもちろんである。本配線基板に搭載する半導体素子51の電気的な特性等を考慮して、パッケージ内でコンデンサ部を形成する場所を適宜選定する必要があることは、当業者には明らかであろう。

【0052】いずれにせよ、コンデンサ部はパッケージ内の特定の層中に部分的に形成するのが電気的な特性の面では理想的である。しかし、プロセス上、コンデンサ部の高誘電体層(23、110)をパターン形成できない場合には、1層分全体、いわゆる「ベタ」の層、をコンデンサ部の高誘電体層としてもよい。但しこの場合、容量素子としての効果を十分に発揮させるためには、その高誘電体層の厚さをできるだけ薄くする必要がある。形成方法としては、誘電率が20以上の無機フィラーを含んだ樹脂ペースト又は樹脂フィルム(半硬化状態のもの)を「ベタ」状に塗布し又は積層する。

【0053】また、上述した各実施形態では(図1、図6参照)、外部接続端子としてはんだボール50を用いた場合について説明したが、外部接続端子の形態はこれに限定されず、例えばピンの形態とすることも可能である。かかるピンをビルドアップ多層配線基板の外部接続端子として用いる場合、ピンの接合は以下のようにして行われる。例えば、図1の実施形態を参照すると、図5(b)の工程において外部接続端子用パッド31aの領域に対応する部分のソルダレジスト層40に開口部を形成した後、この開口部において露出した外部接続端子用パッド31a上に適量のはんだペーストを載せ、その上

に径大の頭部を有するT字状のピンの頭部を配置し、更にリフローによりはんだペーストを固め、ピンを接合する。

【0054】

【発明の効果】以上説明したように本発明によれば、多層配線基板内の特定の部分にコンデンサ部を特定の厚さで且つ特定の誘電率をもって内装することにより、信号遅延やクロストークノイズの発生、電源ラインの電位の変動等を抑制するのに十分なデカップリング効果を奏することができる。これは、多層配線基板に搭載する半導体素子の動作信頼性の向上に大いに寄与するものである。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るビルドアップ多層配線基板の構成を示す断面図である。

【図2】図1のビルドアップ多層配線基板の製造工程を示す断面図である。

【図3】図2の製造工程に続く製造工程を示す断面図である。

【図4】図3の製造工程に続く製造工程を示す断面図である。

【図5】図4の製造工程に続く製造工程を示す断面図で

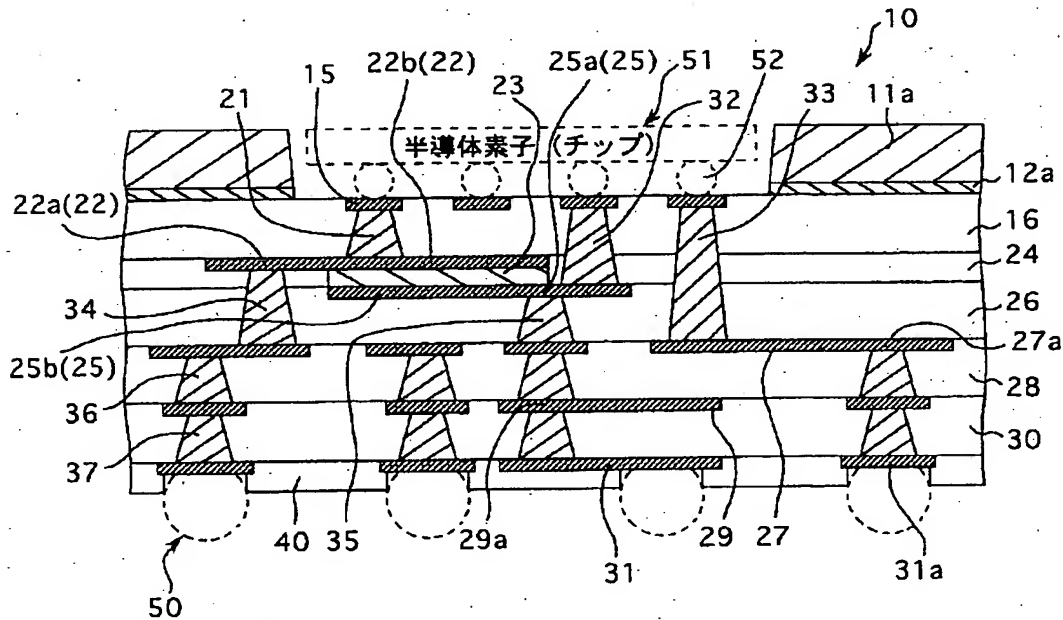
ある。

【図6】本発明の他の実施形態に係るビルドアップ多層配線基板の構成を示す断面図である。

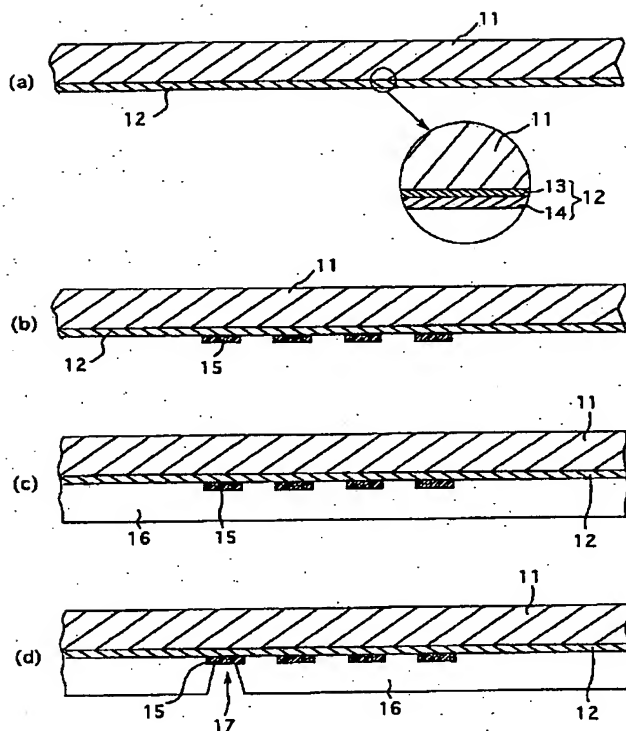
【符号の説明】

- 10, 100…ビルドアップ多層配線基板
- 11, 11a…Cu板(補強板)
- 12, 12a…金属薄膜(Cr層13/Cu層14)
- 15…導体層(半導体素子用パッド)
- 16, 24, 26, 28, 30…樹脂層(低誘電体層)
- 17…ビア・ホール
- 21, 32~37…層間接続部(埋め込みビア)
- 22a, 25a, 27a, 29a…導体層(パッド)
- 22b…導体層(電源用の配線パターン)
- 23…樹脂層(高誘電体層)
- 25b…導体層(グランド用の配線パターン)
- 27, 29, 31…導体層(配線パターン)
- 31a…導体層(外部接続端子用パッド)
- 40…ソルダレジスト層(保護膜)
- 50…はんだボール(外部接続端子)
- 51…半導体素子(チップ)
- 52…電極端子(はんだボール)

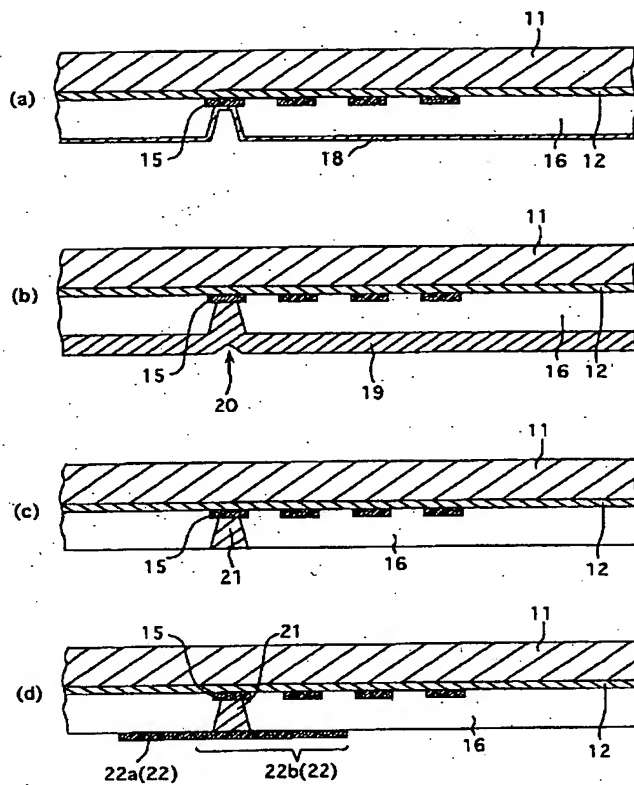
【図1】



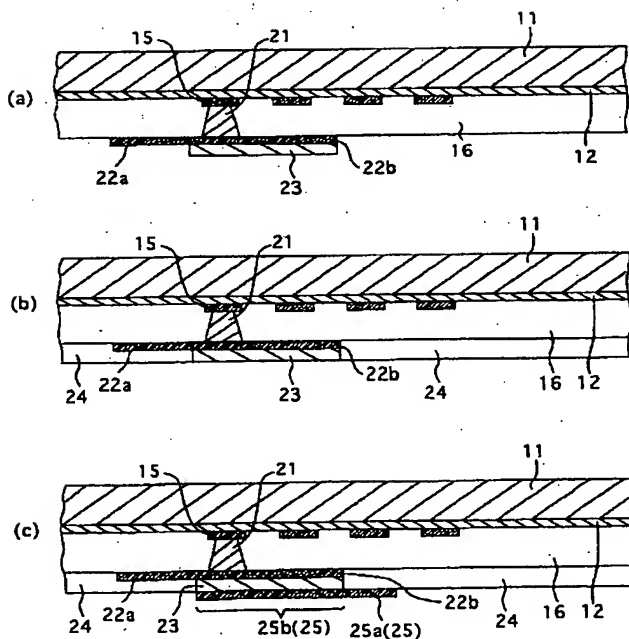
【図 2】



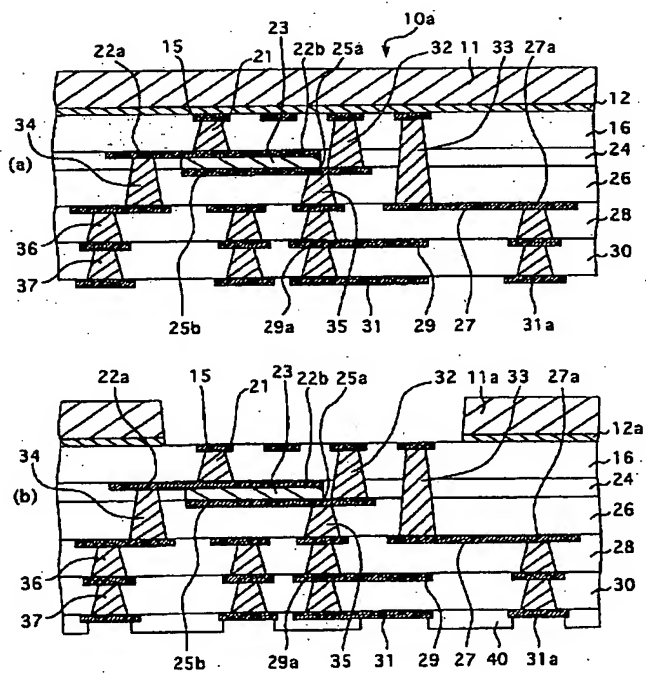
【図 3】



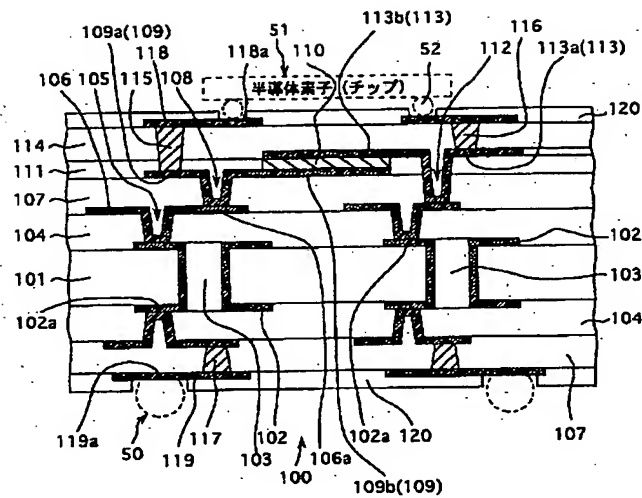
【図 4】



【図 5】



【図 6】



フロントページの続き

(72) 発明者 佐々木 正行

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72) 発明者 藤沢 晃

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

F ターム (参考) 5E346 AA12 AA13 AA15 AA23 AA33

AA43 BB02 BB03 BB04 BB06

BB16 BB20 CC08 CC21 CC31

CC40 DD03 DD07 DD17 DD22

DD33 EE31 EE35 FF04 FF45

GG01 GG15 GG17 GG25 HH01

HH04